

DIP 型 IC 50 個からなる完全オリジナル設計の自作 CPU

基本部は、標準ロジック IC×44 個、Flash ROM×4 個、SRAM×1 個、発振器 (RTC) ×1 個の計 50 個の DIP 型 IC で構成されています。幅 300mm×奥行き 300mm の基板 2 枚で構成され、前後配置、または上下にスタック可能です。本機は CPU の構成・挙動を理解する教材としても活用できます。

CPU の名称	TD16	「とっても動作するんだぜ！16bit CPU」の略
CPU の種類	なんちゃって 16bit CPU (CISC 型)	共通バスは 8bit 幅
基本レジスタ	R1~R15, SP, PC, FLG (S/V/Z/C) ※R1~R15, SP は DS の一部を使用。	FLG 以外は 16bit 長、 FLG のみ 4bit 長
メモリ空間	コード 領域 (CS) = 64kW 割込み用コード領域 (ICS) = 64kW データ 領域 (DS) = 64kW 拡張データ 領域 (ES) = 64kW	合計 : 256kW 1ワードは 16bit 長 (セグメント値は固定なので x86 の様な自由度は無い)
命令数	約 1000 命令 (命令ニーモニック数は約 213 個)	
演算能力	16bit 整数、及び、単精度浮動小数点 (IEEE 754 準拠) ※検証不完全	
命令の実装方法	マイクロ・プログラム方式 (コントロール・ストア=512kB FlashROM×2 個)	
ALU の実装方法	ROM テーブル参照方式 (512kB FlashROM×2 個)	
駆動クロック	基本構成時 : 32768 Hz 固定 拡張構成時 : 1 / 32768 / 256k / 512k / 1M / 2M / 4M / 8M Hz、または、手動クロック (ただし 4MHz 以上は overclock モードで、外部制御不可)	250k / 500k
処理性能	ADD reg, DS[reg] が 152clk 消費するので、基本構成の 32768 Hz なら約 215 IPS、拡張構成の 8MHz なら約 52631 IPS ≒ 0.05 MIPS。 参考 : Zilog Z80 (2.5MHz) は約 0.3571 MIPS (ただし 8bit 加算)。	
基本機能	Halt 機能、SingleStep 機能、外部制御、キャラ LCD×1、JoyPad (MSX 仕様) または押しボタン×6 (上/下/左/右/A/B)、2 極 DIPSW×1	
拡張機能	駆動クロック変更、簡易割込み機能、Reg.View 機能 (16x16 Matrix LED)、7seg.View 機能 (8 桁)、PC 比較機能 (一致時に System Idling)、なんちゃって PWM 機能 (2 点)、なんちゃって SPI 機能、マイクロ型 MMC 互換メモリカード、なんちゃって i ² c 機能、RTC (CR2032 によるバックアップ有り)、K/B 制御機能 (PS/2 タイプのみ)、Video Sub-System (解像度 320×200×白黒のみ、簡易サウンド、日本語表示 40 桁×12 行) 16 行	
簡易割込み機能	手動 SW 割込み、Timer (1 / 0.25 / 0.0625 秒) 割込み、V-Blank 割込み、K/B 割込み、の 4 つ (優先順位は無し。多重割り込みは不可) ※ただし、本機の処理能力的に V-Blank 割り込みは無茶かもしれない。	
寸法	前後配置時 : 幅 300×奥行き 600×高さ約 45 mm スタック時 : 幅 300×奥行き 300×高さ約 75 mm	若干、はみ出している箇所あり。
電源	外部供給 DC12V、または乾電池 006P (DC9V)	※ 006P は気休めですが…
その他	プログラム転送時のみ、パソコンと Arduino が必要になります。 プログラム転送が済んだ後は、スタンド・アロンで動作できます。	

本機を「組み立てキット」(拡張構成のみ)として、4~5万円の範囲でクラウド・ファンディングにて売り出す予定。準備できしだい、<http://www.k-mark.systems/> にてアナウンスします。

※ 現在、ドメイン取得しただけで、まだ Web 立ち上がっていません。連休明けに Web を立ち上げます。

Web 立ち上げました

なんちゃって 16bit CPU "TD16" ロック図

拡張構成

